

Express Mail Label # RB 749 584 495 US
Applicant: Yasumitsu TSUTSUI et al
For: ADDRESS PATTERN GENERATOR



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

#2
T
4-14-93

紙添付の書類に記載されている事項は下記の出願書類に記載されて
事項と同一であることを証明する。

is to certify that the annexed is a true copy of the following application as filed
in this Office.

願 年 月 日
of Application:

1992年 3月31日

願 番 号
Application Number:

平成 4年特許願第103989号

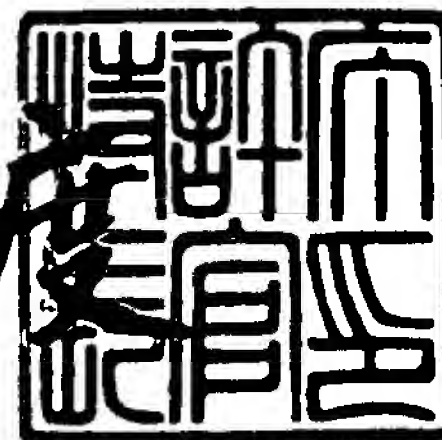
願 人
Applicant(s):

安藤電気株式会社

1993年 1月22日

特許庁長官
Commissioner,
Patent Office

麻生 渡



出証平 04-078094

【書類名】 特許願

【整理番号】 S92-3-10

【提出日】 平成 4年 3月31日

【あて先】 特許庁長官 深沢 亘 殿

【国際特許分類】 G01R 31/28

【発明の名称】 アドレスパターン発生器

【請求項の数】 1

【発明者】

 【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
 内

 【氏名】 筒井 保光

【発明者】

 【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式会社
 内

 【氏名】 竹下 博基

【特許出願人】

 【識別番号】 000117744

 【氏名又は名称】 安藤電気株式会社

 【代表者】 中沼 尚

【代理人】

 【識別番号】 100084021

 【弁理士】

 【氏名又は名称】 小俣 欽司

【手数料の表示】

 【納付方法】 予納

 【予納台帳番号】 008327

 【納付金額】 14,000円

【提出物件の目録】

 【物件名】 明細書 1

04-103989

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9000740

【書類名】 明細書

【発明の名称】 アドレスパターン発生器

【特許請求の範囲】

【請求項1】 制御回路(1)からの加算信号(19)と第1の最大値レジスタ(2)からのアドレス値(17)と第1の初期値レジスタ(6)からのアドレス値(33)を入力とする列アドレス発生器(4)と、制御回路(1)からの加算信号(19)と第2の最大値レジスタ(3)からのアドレス値(18)と第2の初期値レジスタ(7)からのアドレス値(34)を入力とする行アドレス発生器(5)とを備えるアドレスパターン発生器において、

列アドレス発生器(4)と行アドレス発生器(5)を同じ構成とし、

列アドレス発生器(4)には試験するメモリ(10)に与えるアドレスに対し、最大値レジスタ(2)からのアドレス値(17)との大小を比較する比較回路(4E)と、

比較出力信号を用いメモリ(10)に与えるアドレスを切り換える選択回路(4F)とを備えることを特徴とするアドレスパターン発生器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、2つのアドレス(2次元)によりアクセスされるメモリ等を試験するアドレスパターン発生器についてのものである。

【0002】

【従来の技術】

次に、従来技術によるアドレスパターン発生器の構成を図4により説明する。図4の1は制御回路、2と3は最大値レジスタ、8は列アドレス発生器、9は行アドレス発生器、10は測定されるメモリである。列アドレス発生器8から出力される列アドレス信号20はメモリ10に対し列アドレスとして与えられる。行アドレス発生器9から出力される行アドレス信号21はメモリ10に対し行アドレスとして与えられる。メモリ10は列アドレスと行アドレスを与えられることによりメモリセルの1つがアクセスされる。

【0003】

次に、メモリ10のメモリセルの状態を図5により説明する。図5では、マトリックス状にメモリセルA0～A15が配列されており、メモリ10中のメモリセルA10をアクセスする場合は、列アドレス発生器8から「010」の列アドレス信号20を与え、行アドレス発生器9から「010」の行アドレス信号21を与える。

【0004】

次に、従来技術による列アドレス発生器8の構成を図6により説明する。列アドレス発生器8と行アドレス発生器9は構成が同じである。図6の8Aは演算レジスタ、8Bは加算回路、8Gはアドレスレジスタである。制御回路1から加算信号19が加算回路8Bに与えられると、アドレスレジスタ8Gの内容と演算レジスタ8Aの内容が加算され、加算結果はアドレスレジスタ8Gに格納された後、アドレス信号20として出力される。ここでアドレス値17は、アドレスレジスタ8Gの最大値を格納する最大値レジスタ2の出力信号である。

【0005】

一般的に最大値には試験されるメモリセルのアドレスビット数を用いる。例えば64ビットのメモリ容量ならば、アドレスビットは6ビットを使い、行・列アドレスは3ビットずつ用いてアドレスを発生させる。アドレス発生器は、試験するメモリの容量ビット（アドレスビット）より余分なビット数を備えているため、使用するビット数を制限する必要がある。

【0006】

例えば図5のメモリセルA0からA15まで順次アクセスする場合、最大値レジスタ2・3には各々「011」が格納される。列アドレス発生器8内のアドレスレジスタ8Gには初期状態として「000」を格納し、演算レジスタ8Aには「001」を格納した後、加算信号19を与えていくことにより列アドレス信号20に「000」、「001」、「010」、「011」が出力される。行アドレス発生器9内のアドレスレジスタ9Gにも同様に初期状態として「000」を格納し、演算レジスタ9Aには「000」を格納することにより行アドレス信号21に「000」が固定出力される。

【0007】

アドレス信号20・21により、メモリセルA0・A1・A2・A3がアクセスされる。引き続きメモリセルA4からA15まで順次アクセスする場合、自動的に列アドレス信号20が「000」になり、行アドレス信号21が「001」になる必要がある。列アドレス発生器8に最大値レジスタ2の内容が与えられ、行アドレス発生器9に最大値レジスタ3の内容が与えられると、図6に示すように加算回路8Bには演算レジスタ8Aの内容の値と最大値レジスタ2の内容を反転させた値との論理和をとった値が加算値27として与えられ、上位ビットをマスクした加算が実行される。

【0008】

この動作により最大値レジスタ2の内容を越えた加算結果のときは桁上げを生じさせ、キャリー信号22として行アドレス発生器9の加算回路9Bに与えられることにより行アドレス発生器9の出力を+1させることができる。また、加算回路8Bの演算結果のアドレス信号26を最大値レジスタ2の内容値との論理積をとることにより、マスクした上位ビットを取り除くことができる。この例では、アドレスの加算値27は「101」となるので、アドレスレジスタ8Gが「011」のときに、次の加算信号19が加算回路8Bに与えられると演算結果として、「000」がアドレス信号26として出力されると同時に桁上げが生じるので、行アドレス発生器9はキャリー信号22を含めて加算回路8Bで加算し、行アドレス信号21は+1される。

【0009】

したがって、列アドレス信号20は「000」、「001」、「010」、「011」の順で出力され、再び「000」に戻ると同時に、行アドレス信号21は「000」から+1ずつ加算され、「001」、「010」、「011」の順で出力される。以上の動作により、アドレス信号20・21の出力は、メモリセルA0からA15まで順次アクセスさせることができる。

【0010】

【発明が解決しようとする課題】

図4、図6では規則的なアドレスを回路的に発生させる場合、メモリ試験領域の設定範囲を指定するときに、アドレスレジスタ8Gの使用ビット数を限定する

ことによって指定するので、任意のアドレス値では指定ができない。この発明はメモリ試験領域を自由に設定ができるアドレスパターン発生器の提供を目的とする。

【0011】

【課題を解決するための手段】

この目的を達成するために、この発明では、制御回路1からの加算信号19と最大値レジスタ2からのアドレス値17と初期値レジスタ6からのアドレス値33とを入力とする列アドレス発生器4と、制御回路1からの加算信号19と最大値レジスタ3からのアドレス値18と初期値レジスタ7からのアドレス値34とを入力とする行アドレス発生器5とを備えるアドレスパターン発生器において、列アドレス発生器4と行アドレス発生器5を同じ構成とし、列アドレス発生器4には試験するメモリ10に与えるアドレスに対し、最大値レジスタ2からのアドレス値17との大小を比較する比較回路4Eと、比較出力信号を用いメモリ10に与えるアドレスを切り換える選択回路4Fとを備える。

【0012】

【作用】

次に、この発明によるアドレスパターン発生器の構成を図1により説明する。図1の4は列アドレス発生器、5は行アドレス発生器、6と7は初期値レジスタであり、その他は図4と同じものである。すなわち、図1は図4の8・9の代わりに列アドレス発生器4と行アドレス発生器5を設け、新たに初期値レジスタ6・7を設けたものである。初期値レジスタ6・7は試験領域のメモリセルをアクセスするアドレスの最小値を格納するレジスタである。最大値レジスタ2・3の内容と初期値レジスタ6・7の内容がそれぞれの列アドレス発生器4と行アドレス発生器5に与えられることにより、メモリ試験領域が設定される。

【0013】

次に、列アドレス発生器4の構成図を図2により説明する。列アドレス発生器4と行アドレス発生器5は構成が同じものである。図2の演算レジスタ4A、加算回路4B、アドレスレジスタ4Gは図6の演算レジスタ8A、加算回路8B、アドレスレジスタ8Gと同じものであり、図2には新たに減算回路4C、加算回

路4 D、比較回路4 E、選択回路4 Fが追加される。

【0014】

制御回路1から加算信号19が与えられると、アドレスレジスタ4 Gの内容と演算レジスタ4 Aの内容とが加算回路4 Bで加算され、加算結果は出力値4 0として減算回路4 C、比較回路4 E、選択回路4 Fにそれぞれ与えられる。減算回路4 Cは出力値4 0と最大値レジスタ2の内容であるアドレス値17とを減算し、最大値との差を求める。そのため、減算回路4 Cはボロー信号を入力して+1余分に引かれる。

【0015】

演算結果は乗余値4 2として初期値に対する剰余を加算するために加算回路4 Dに与えられる。加算回路4 Dは剰余値4 2と初期値レジスタ6の内容であるアドレス値33とを加算し、演算結果は加算値4 3として選択回路4 Fに与えられる。比較回路4 Eは出力値4 0とアドレス値17との大小を比較し、出力値4 0がアドレス値17よりも大きい場合は比較信号4 1として選択回路4 Fと行アドレス発生器5に与えられ、出力値4 0がアドレス値17よりも小さい場合は比較信号4 1は出力されない。

【0016】

選択回路4 Fは、比較回路4 Eから比較信号4 1が与えられた場合、すなわち、アドレス値17 > 出力値4 0の場合は加算値4 3を選択し、比較信号4 1が与えられない場合、すなわち、アドレス値17 ≤ 出力値4 0の場合は出力値4 0を選択し、選択値4 5としてアドレスレジスタ4 Gに与えられる。アドレスレジスタ4 Gは選択値4 5が与えられると、その値をレジスタ内に格納した後、アドレス信号20として出力する。

【0017】

行アドレス発生器5は列アドレス発生器4からの比較信号4 1が加算回路5 Bにキャリー信号35として与えられた場合、加算回路5 Bは、+1のキャリーとして入力され、加算を実行し、以下、列アドレス発生器4と同様な演算動作が実行され、アドレス信号21が出力される。

【0018】

制御回路 1 から加算信号 19 が列アドレス発生器 4 と行アドレス発生器 5 に与えられるごとに、メモリ 10 のある定められた領域内のメモリセルをアクセスするアドレス信号 20・21 が規則的に発生する。

【0019】

【実施例】

次に、図 1 によるメモリ 10 のメモリセルとアドレスとの関係を図 3 により説明する。図 3 では、5×5 のマトリックス状に配列されたメモリセル A0～A24 まで配列されているメモリ 10 を用いる。試験する領域 44 を設定し、その領域内のメモリセルを抽出し、メモリセル C1、C2、C3……、C9 のようにメモリセルを 1 つ飛びにアクセスするような規則的なアドレス発生を示す。

【0020】

試験するメモリセル領域を設定するため、最大値レジスタ 2・3 には「011」が格納され、初期値レジスタ 6・7 には「011」が格納される。次に図 3 のような規則的なアドレスを発生させるため、列アドレス発生器 4 内の演算レジスタ 4A には「010」が格納され、行アドレス発生器 5 内の演算レジスタ 5A には「000」が格納される。

【0021】

初期状態としてメモリセル C1 をアクセスするようなアドレスを列アドレス発生器 4 内のアドレスレジスタ 4G と行アドレス発生器 5 内のアドレスレジスタ 5G に「001」を与える。制御回路 1 から加算信号 19 が列アドレス発生器 4 に与えられると、アドレスレジスタ 4G の内容の「001」と演算レジスタ 4A の内容の「010」とが加算回路 4B で加算され、加算結果は出力値 40 として「011」が出力される。比較回路 4E は出力値 40 の「011」に対し、最大値レジスタ 2 の内容の「011」との大小を比較し、出力値 40 が最大値レジスタ 2 の内容の値より大きくないので比較信号 41 は出力されない。

【0022】

選択回路 4F は比較信号 41 が与えられない場合は出力値 40 を選択し、選択値 45 としてアドレスレジスタ 4G に「011」が与えられる。アドレスレジスタ 4G は選択値 45 が与えられると、その値を格納した後、アドレス信号 20 と

して「011」が出力される。行アドレス発生器5は列アドレス発生器4からの比較信号41がキャリー信号35として与えられないので、列アドレス発生器4と同様な演算動作を実行し、アドレスレジスタ4Gの内容の「001」がそのまま行アドレス信号21として出力される。列アドレス信号20として「011」がメモリ10に与えられ、行アドレス信号21として「001」がメモリ10に与えられることによりメモリセルC2がアクセスされる。

【0023】

次の加算信号19が列アドレス発生器4に与えられると、アドレスレジスタ4Gの内容の「011」と演算レジスタ4Aの内容の「010」とが加算回路4Bで加算され、加算結果は出力値40として「101」が出力される。比較回路4Eは出力値40の「101」に対し、最大値レジスタ2の内容の「011」との大小を比較し、出力値40が最大値レジスタ2の内容の値より大きいので比較信号41は出力される。

【0024】

選択回路4Fは比較信号41が与えられた場合は加算値43を選択し、選択値45としてアドレスレジスタ4Gに与えられる。加算値43は出力値40の「101」から最大値レジスタ2の内容の「011」を減算回路4Cで減算した演算結果の剰余値42の「001」と、初期値レジスタ6の内容の「001」とを加算回路4Dで加算した値であり、加算結果の「010」となる。アドレスレジスタ4Gは選択値45の値を格納した後、列アドレス信号20として「010」が出力される。

【0025】

行アドレス発生器5は列アドレス発生器4からの比較信号41がキャリー信号35として与えられるので、加算回路4Bで+1のキャリーを含めて加算をし、以下、列アドレス発生器4と同じような演算をし、列アドレス信号21として「010」が出力される。列アドレス信号20として「010」がメモリ10に与えられ、行アドレス信号21として「010」がメモリ10に与えられることによりメモリセルC3がアクセスされる。

【0026】

加算信号19が列アドレス発生器4と行アドレス発生器5に与えられるごとにアドレス信号20・21の出力は変化し、メモリセルC4・C5がアクセスされる。同様にメモリセルC6からC9まで1つ飛びにアクセスする場合、初期状態においてメモリセルC6をアクセスするようなアドレスを列アドレス発生器4内のアドレスレジスタ4Gと行アドレス発生器5内のアドレスレジスタ5Gに与えた後、加算信号19を与えていく。

【0027】

【発明の効果】

この発明によれば、試験するメモリセルの領域を自由に設定した範囲において、規則的なアドレス発生を回路的に発生させることができ、アドレスパターン発生器をコントロールするプログラムの作成が簡単になる効果が得られる。

【図面の簡単な説明】

【図1】

この発明によるアドレスパターン発生器の構成図である。

【図2】

図1の列アドレス発生器4の構成図である。

【図3】

図1によるメモリ10のメモリセルとアドレスとの関係図である。

【図4】

従来技術によるアドレスパターン発生器の構成図である。

【図5】

図4のメモリ10のメモリセルとアドレスとの関係図である。

【図6】

図4の列アドレスパターン発生器8の構成図である。

【符号の説明】

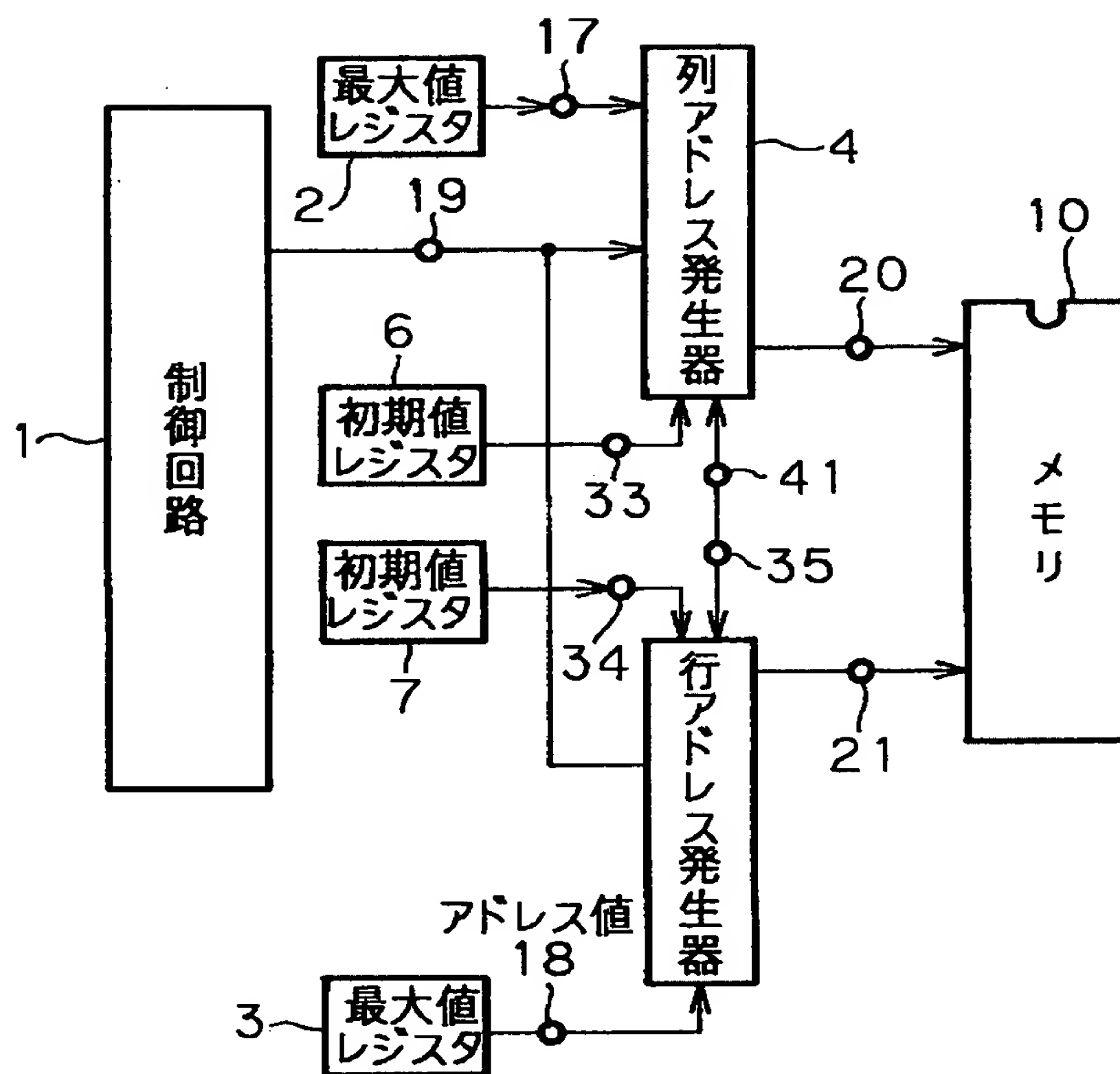
- 1 制御回路
- 2 最大値レジスタ
- 3 最大値レジスタ
- 4 列アドレス発生器

- 5 行アドレス発生器
- 6 初期値レジスタ
- 7 初期値レジスタ
- 10 メモリ
- 4E 比較回路
- 4F 選択回路

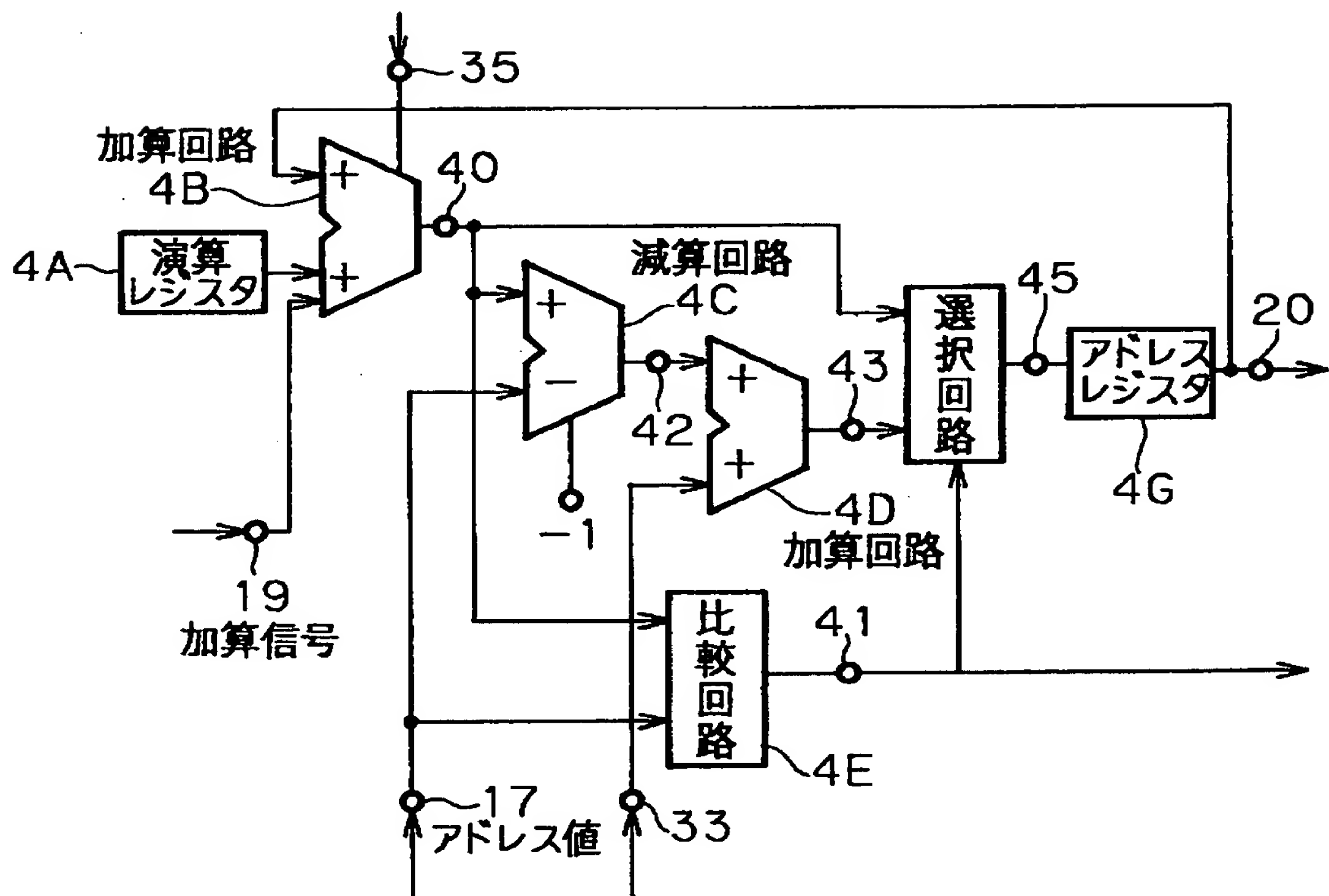
【書類名】

図面

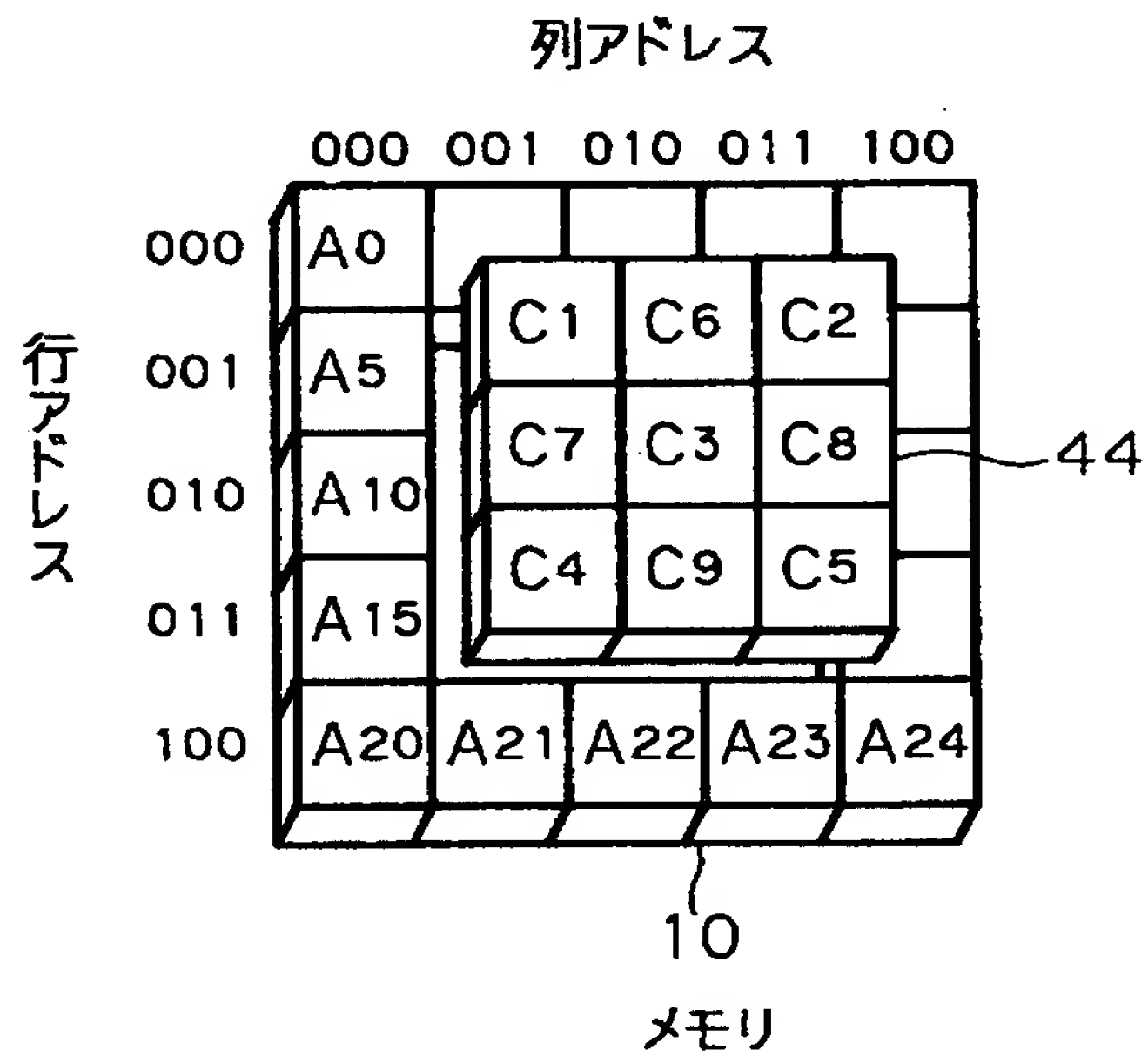
【図1】



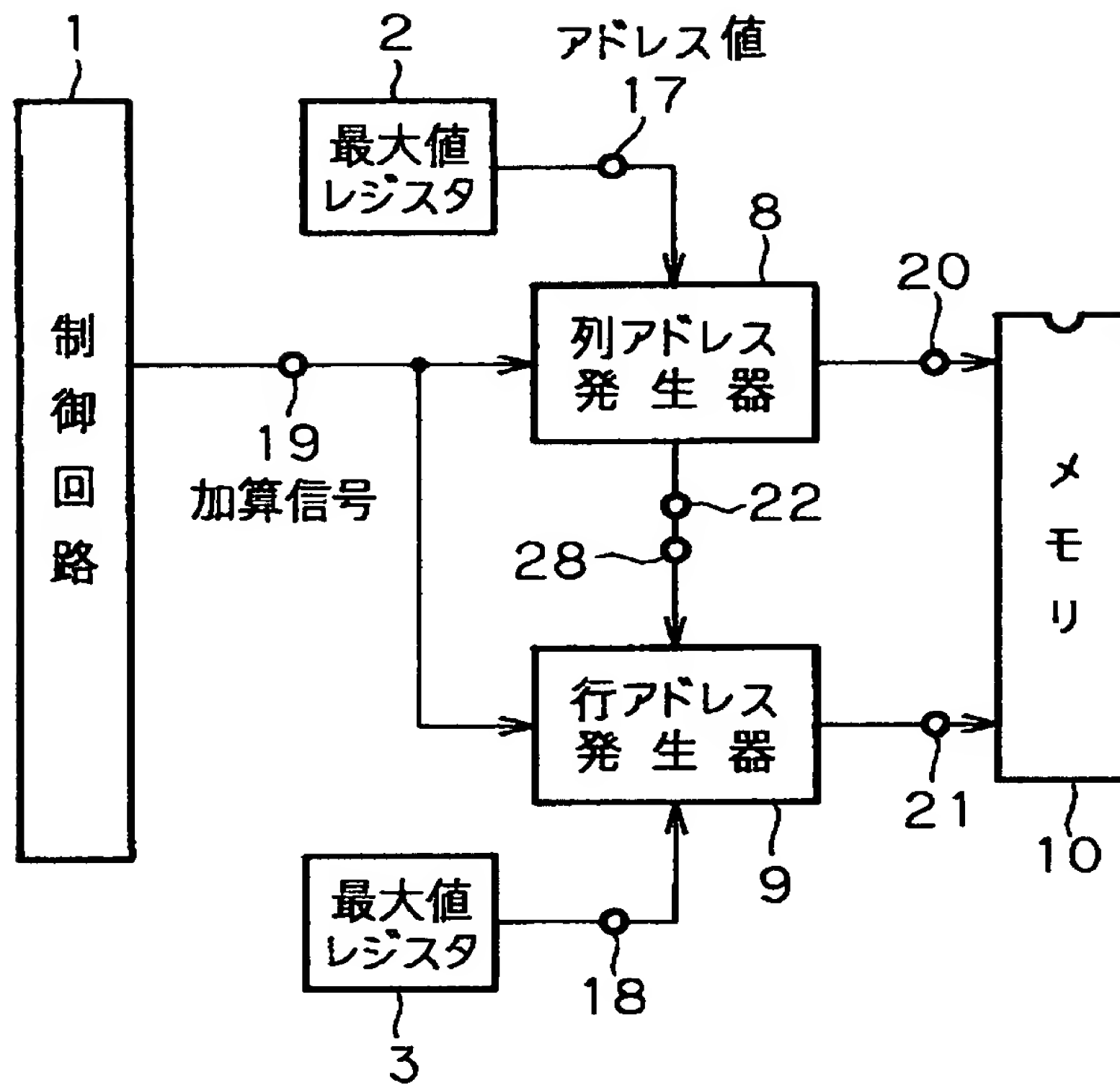
【図2】



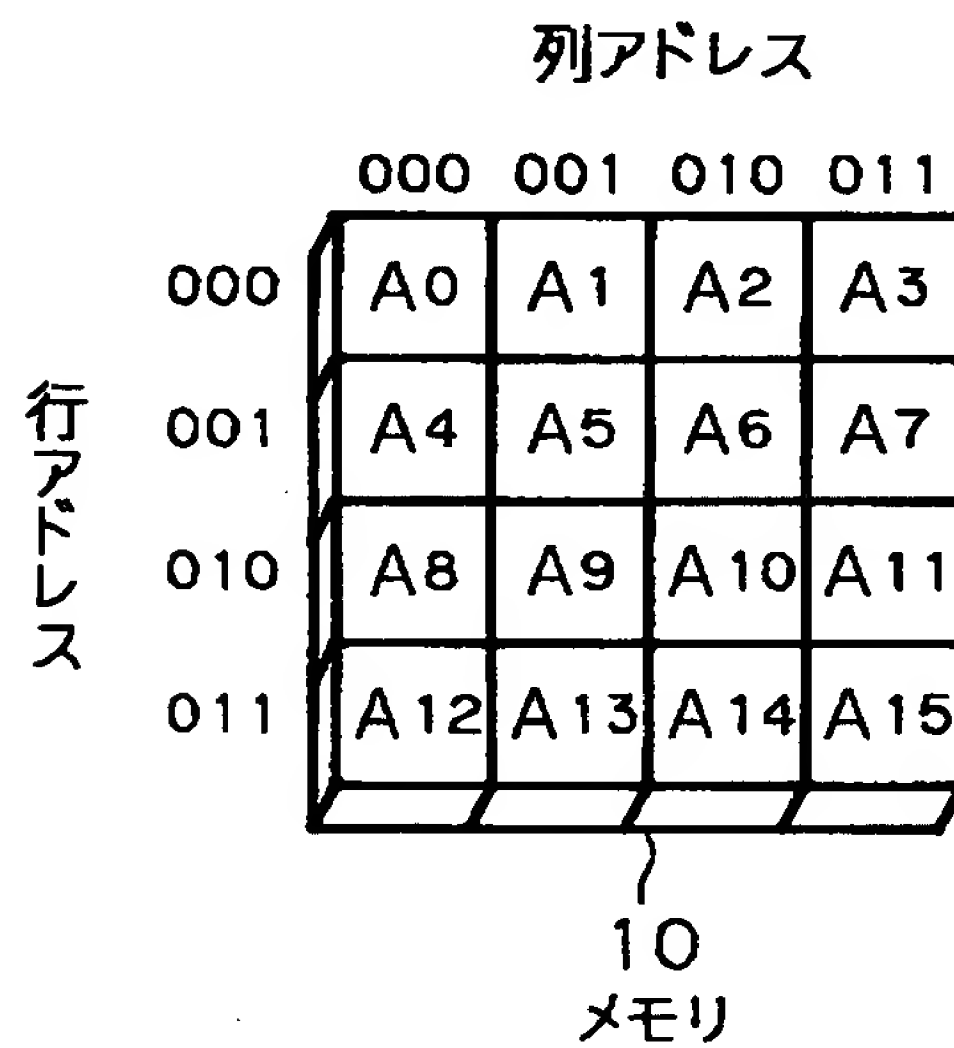
【図3】



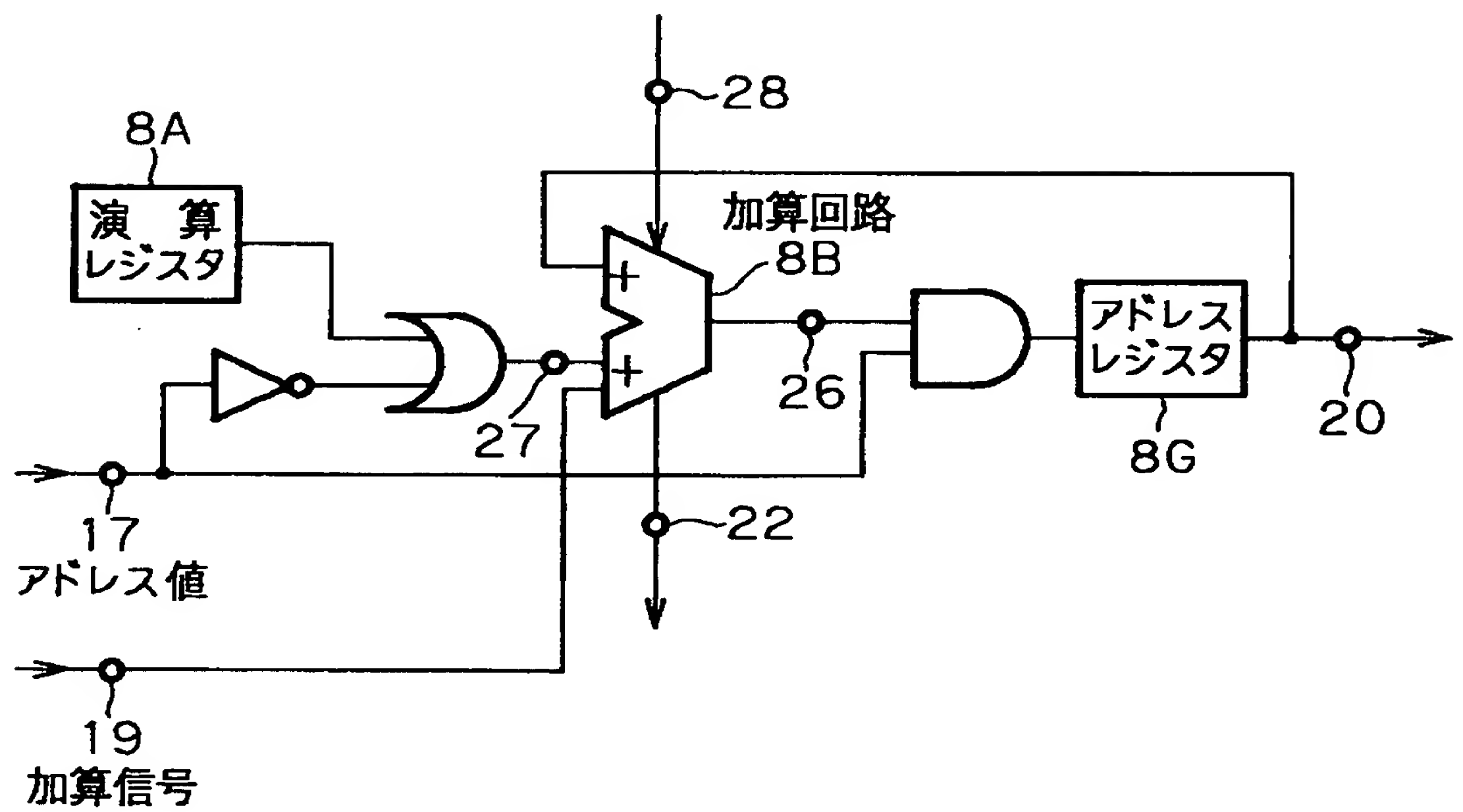
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【目的】 試験するメモリセルの領域を自由に設定した範囲において、規則的なアドレス発生を回路的に発生させる。

【構成】 列アドレス発生器4と行アドレス発生器5を同じ構成とし、列アドレス発生器4・行アドレス発生器5は制御回路1からの加算信号19と最大値レジスタ2・3からのアドレス値17・18と初期値レジスタ6・7からのアドレス値33・34とを入力とする。列アドレス発生器4には試験するメモリ10に与えるアドレスに対し、最大値レジスタ2からのアドレス値17との大小を比較する比較回路4Eと、比較出力信号を用いメモリ10に与えるアドレスを切り換える選択回路4Fとを備える。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000117744

【住所又は居所】 東京都大田区蒲田4丁目19番7号

【氏名又は名称】 安藤電気株式会社

【代理人】 申請人

【識別番号】 100084021

【住所又は居所】 東京都大田区蒲田4丁目19番7号 安藤電気株式
会社内

【氏名又は名称】 小俣 欽司

出 願 人 履 歴 情 報

識別番号 [000117744]

1. 変更年月日 1990年 8月10日
[変更理由] 新規登録
住 所 東京都大田区蒲田4丁目19番7号
氏 名 安藤電気株式会社